طراحی مدارهای مجتمع آنالوگ CMOS

ویراست دوم

بهزاد رضوی

دکتر داریوش شیری

نیاز دانش

پیشگفتار ویراست دوم

وقتی پیشنهاد نخستین ویرایش این کتاب را برای ناشر فرستادم از من دو پرسش پرسیدند: (۱) در آینده تقاضا برای کتاب‌های آنالوگ در دنیای دیجیتال تا چه‌اندازه است؟ و (۲) آیا عاقلانه است که کتابی چاپ شود که منحصراً به CMOS بپردازد؟ واژه‌های "آنالوگ" و "CMOS" در عنوان کتاب زیر سؤال بودند. خوشبختانه کتاب با پذیرهٔ دانشجویان، معلمان و مهندسان روبه‌رو شد. صدها دانشگاه در دنیا آن‌را برای متن درسی برگزیدند، به پنج زبان ترجمه شد و ۶۵۰۰ بار به آن ارجاع داده شده است.

اگرچه بسیاری از اصول اولیهٔ طراحی آنالوگ از زمان ویرایش نخست تاکنون تغییر نکرده‌است ولی چند عامل نیاز به ویرایش دوم را سبب شد: رفتن فناوری‌های CMOS به سوی اندازه‌های کوچک و منابع تغذیه با ولتاژهای کم‌تر، روش‌های جدید تحلیل و طراحی و نیاز به پرداختن جزئی‌تر به برخی از موضوع‌ها. این ویرایش دارای مطالب زیر است:

- تأکید بیشتر روی فناوری جدید CMOS که در فصلی جدید، فصل ۱۱، به آن پرداخته شده است و به روش‌های طراحی و طراحی گام‌به‌گام آپ‌امپ در فرآیندهای نانومتری می‌پردازد.
- بررسی کامل فیدبک با روش‌های بود (Bode) و میدلبروک (Middlebrook).
- بخش جدیدی روی تحلیل پایداری با به‌کار بردن روش نایکویست (Nyquist)، برای این‌که روش رایج بُود در بعضی سیستم‌های معمولی درست کار نمی‌کند.
- مطالعهٔ FinFET ها.
- متن‌های جانبی که نکات مهمی در طراحی نانومتری را نشان می‌دهند.
- بخش جدیدی روی روش‌های بایاس کردن.
- مطالعهٔ مدارهای گاف انرژی با ولتاژ پایین.
- بیش از ۱۰۰ مثال جدید.

بعضی مدرسان ممکن است بپرسند که چرا با افزارهٔ قانون مربعی آغاز می‌کنیم. برای دو دلیل: (۱) این مسیر با یک دیدگاه شهودی آغاز می‌شود و ارزش چشم‌گیری در تحلیل تقویت‌کننده‌ها بر حسب سوینگ مجاز ولتاژ دارد و (۲) FinFET ها با وجود طول کانال کوتاه آن‌ها ـ در افزاره‌های $16\,nm$ و کوچک‌تر ـ تقریباً مشخصه قانون ـ مربعی دارند.

این کتاب یک راهنمای حل مسأله و مجموعهٔ جدیدی از اسلایدهای پاورپوینت دارد که در سایت www.mhhe.com/razavi در دسترس است.

بهزاد رضوی
ژولای ۲۰۱۵

پیش‌گفتار ویرایش نخست

در دو دهۀ گذشته، فناوری CMOS به سرعت زمینۀ مدارهای یک‌پارچۀ آنالوگ را در برگرفته است و راه حل‌هایی با هزینۀ کم و کارایی بالا فراهم کرده و شروع به پر کردنِ بازار کرده است. اگرچه افزاره‌های دو قطبی سیلیکن و III-V هنوز کاربردهای ویژۀ خود را دارند، ولی تنها فناوری CMOS به عنوان گزینشی مناسب برای یکپارچه کردن سیستم‌های پیچیده با سیگنال مرکب شناخته شده است. با پیش‌بینی این‌که طول کانال به ۰٫۰۵ μm برسد، فناوری CMOS تا دو دهۀ دیگر هم در خدمت طراحی مدار خواهد بود.

طراحی مدارهای آنالوگ هم از سوی دیگر با فناوری گسترش می‌یابد. مدارهای آنالوگ ولتاژ بالا و توان بالا که چند تا ترانزیستور داشتند و سیگنال‌های کوچک و پیوسته در زمان را پردازش می‌کردند جای خود را کم‌کم به سیستم‌هایی کم‌ولتاژ و کم‌توان داده‌اند که از هزاران ترانزیستور درست شده اند و سیگنال‌های بزرگ و اغلب گسسته در زمان را پردازش می‌کنند. برای مثال بسیاری از روش‌های آنالوگ که تا ده سال پیش به‌کار می‌رفت اکنون کنار گذاشته شده‌اند زیرا برای عملکرد ولتاژ پایین مناسب نیستند.

این کتاب به تحلیل و طراحی مدارهای مجتمع CMOS آنالوگ می‌پردازد و بر اصول اولیه و نیز الگوهایی می‌پردازد که دانشجویان و مهندسان صنعت باید در صنایع به آن مهارت یابند. چون طراحی آنالوگ به شهود و دقت نیاز دارد، هر مفهوم نخست از دیدگاه شهودی ارائه می‌شود و سپس با تحلیل دقیق به آن پرداخته می‌شود. هدف آن است که هم پایه‌ای قوی و هم روش‌هایی برای تحلیل مدارها با وارسی به‌دست آید که خواننده بداند برای چه مداری، چه تقریب‌هایی مناسب هستند و در هر تقریب چه اندازه خطا می‌توان انتظار داشت. این روش به خواننده امکان می‌دهد که همین مفاهیم را با کمی زحمت برای مدارهای دو قطبی هم به‌کار ببرد.

بیشتر محتوی این کتاب را در UCLA و در صنایع درس داده‌ام و ترتیب و شکل آن و محتوای آن با هر بار درس دادن صیقل یافته است. همان‌گونه که خواننده در سراسر این کتاب خواهد دید از چهار "قانون طلائی" پیروی می‌کنم: (۱) توضیح می‌دهم که *چرا* خواننده باید این مفهوم مورد بررسی را بداند؛ (۲) خودم را به جای خواننده قرار می‌دهم و پرسش‌های او را هنگام خواندن مطلب برای بار نخست پیش‌بینی می‌کنم؛ (۳) با در اندیشه داشتن قانون ۲، وانمود می‌کنم که من هم به اندازۀ خوانندۀ جدید می‌دانم و سعی می‌کنم با او "قدم" بزنم تا یک فرآیند فکری را باهم تجربه کنیم؛ (۴) با زبانی ساده (و حتی غیر دقیق) از مفهوم "اصلی" آغاز می‌کنم و کم‌کم جزئیات لازم را برای رسیدن به ایدۀ نهایی (دقیق) اضافه می‌کنم. قانون آخر اهمیت ویژه‌ای در تدریس مدارها دارد چون خواننده می‌تواند کامل شدن یک توپولوژی را از آغاز تا آخر ببیند و تحلیل و طراحی را باهم فراگیرد. این متن ۱۶ فصل دارد که محتوی و ترتیب آن‌ها به دقت برگزیده شده است تا روندی طبیعی برای خودآموزی و نیز تدریس در کلاس درس برای سیستم‌های ترمی یا فصلی داشته باشد. برخلاف کتاب‌های دیگر در طراحی آنالوگ، فقط *کمترین دانش مورد نیاز* از فیزیک MOS را در آغاز فرا می‌گیریم و ویژگی‌های

پیشرفته‌تر و جزئیات ساخت را به فصل‌های بعد واگذار می‌کنیم. برای طراح با تجربه، فیزیک مقدماتی ترانزیستور ممکن است زیادی ساده به‌نظر برسد ولی تجربهٔ من می‌گوید که (الف) خواننده‌های نوآموز اثرات مرتبهٔ بالا در فیزیک ترانزیستور و فناوری ساخت را پیش از یاد گرفتن مدار خوب فرا نمی‌گیرند زیرا ارتباط بین این دو را نمی‌بینند؛ (ب) اگر به خوبی درس داده شود، حتی فیزیک سادهٔ ترانزیستور برای طراحی بسیاری از مدارهای ساده کافی است؛ (ج) خواننده می‌تواند پس از آن‌که مقدار زیادی طراحی و تحلیل مدار فراگرفت، به آسانی فیزیک پیشرفته‌تر افزاره و گام‌های ساخت ترانزیستور را یاد بگیرد.

فصل ۱ خواننده را با انگیزهٔ یادگیری موضوع این کتاب آشنا می‌کند. فصل۲ فیزیک و ویژگی‌های مقدماتی ترانزیستورهای MOS را یاد می‌دهد.

فصل ۳ تا ۵ به‌ترتیب به تقویت‌کننده‌های یک طبقه و دیفرانسیل و آیینه‌های جریان می‌پردازند و روش‌های تحلیل کارآ برای بررسی کمّی رفتار این مدارها با وارسی اولیه را ارائه می‌دهند.

فصل ۶ و ۷ ناکاملی‌های مدارها یعنی پاسخ فرکانسی و نویز را معرفی می‌کنند. نویز در مراحل اولیه بررسی می‌شود تا وقتی خواننده اثر آن را برای مدارهای پیشرفته‌تر فرامی‌گیرد مفهوم آن خوب "جابیفتد."

فصل ۸ تا ۱۰ به فیدبک، تقویت‌کننده‌های عملیاتی (آپ‌امپ) و پایداری در سیستم‌های فیدبک می‌پردازند. با تحلیل ویژگی‌های سودمند فیدبک، خواننده انگیزه می‌یابد تا آپ‌امپ‌های کارآ و پایدار طراحی کند و تضادهای بین سرعت، دقت و مصرف توان را درک کند.

فصل ۱۱ تا ۱۳ به موضوع‌های پیشرفته‌تری می‌پردازند: مرجع شکاف باند انرژی، مدارهای کلید ـ خازنی و اثر غیرخطی بودن و ناهمسانی. به این سه موضوع این‌جا پرداخته می‌شود چون در بیشتر سیستم‌های آنالوگ و سیگنال مرکب جدید اهمیت بسیاری دارند.

فصل ۱۴ به اثرات مرتبهٔ بالاتر و مدل‌های MOS می‌پردازد و بر تأثیر آن‌ها در طراحی تأکید دارد. اگر دوست داشتید می‌توانید این فصل را بعد از فصل ۲ هم بخوانید. فصل ۱۵ به فناوری ساخت CMOS با مروری کوتاه دربارهٔ قوانین طراحی چینش می‌پردازد. فصل ۱۶ چینش و بسته‌بندی مدارهای آنالوگ و مدارهای سیگنال ـ مرکب را می‌آموزد. بسیاری از نکات عملی که مستقیم روی کارایی مدار تأثیر گذارند، شرح می‌دهد و روش‌های گوناگونی معرفی می‌شوند.

فرض شده است که خواننده دانش پایه در مدارها و افزاره‌های الکترونیکی مثل پیوندهای *pn* مفهوم عملکرد سیگنال ـ کوچک، مدار معادل و بایاس کردن ساده را دارد. برای درس اختیاری در سال‌های بالاتر، فصل‌های ۱ تا ۸ را می‌توان در یک چهارم سال درس داد و فصل ۱ تا ۱۰ را در یک نیم‌سال و برای درس کارشناسی‌ارشد ترم اول، فصل‌های ۱ تا ۱۱ به اضافهٔ یکی از فصل‌های ۱۲ و ۱۳ یا ۱۴ را می‌توان در یک‌چهارم سال و تقریباً تمام کتاب را در یک نیم‌سال درس داد.

مجموعه مسأله‌های پایان هر فصل برای افزایش درک خواننده از موضوع طراحی شده‌اند و نکات عملی بیشتری را می‌پوشانند. راهنمای حل مسأله برای معلمان درس قابل دسترسی است.

بهزاد رضوی

ژولای ۲۰۰۰

سپاس‌گزاری برای ویرایش دوم

ویرایش دوم را افراد بسیاری در صنعت و دانشگاه با علاقه و دقت مرور کردند. مـایلم از کمـک آن‌هـا سپاس‌گزاری کنم:

ساهید عادلو تیجانی (دانشگاه پاویا)
فیروز افلاطونی (دانشگاه پنسیلوانیا)
پیترو آندریانی (دانشگاه لوند)
امیلی آلستوت (دانشگاه واشنگتن)
تجاسوی آناند (دانشگاه ایلی نوی، اوربانا ـ شامپاین)
افشین بابویه (استنفورد)
نیما بنی اسدی (دانشگاه کالیفرنیا ـ برکلی)
سون یونگ چو (دانشگاه ملی سئول)
مین سونگ چو (دانشگاه ملی سئول)
یی اینگ چنگ (UCLA)
جِنی چو (UCLA)
میلاد درویشی (Qualcomm)
لویس فِی (Intel)
آندریا جیلیونی (دانشگاه پاویا)
چنگ کای گو (UCLA)
پیام حیدری (دانشگاه کالیفرنیا ـ اِروایِن)
چِنگ ـ اِن شیه (دانشگاه ملی تایوان)
پو ـ چیون هوانگ (دانشگاه ملی شینگ هُوا)
دیوگ ـ کیون جُنگ (دانشگاه ملی سئول)
نادر کلانتری (Broadcom)
علی‌رضا کریمی (دانشگاه کالیفرنیا ـ اِروایِن)
احسان کارگران (دانشگاه پاویا)
سوتیریوس لیموتراکیس (Qualcomm Atheros)
شیائودونگ لیو (دانشگاه لوند)
نیما مقاری (دانشگاه فلوریدا)
شهریار میرعباسی (دانشگاه بریتیش کلمبیا)
حسین محمدنژاد (دانشگاه کالیفرنیا ـ اِروایِن)
امیر نیک‌پیک (دانشگاه بریتیش کلمبیا)
آریا سمیعی (دانشگاه کالیفرنیای جنوبی)

کیا سلیمی (IMEC)
علی‌رضا شریف بختیار (دانشگاه تورنتو)
گوانگ هوا شو (دانشگاه ایلی نوی، اوربانا ـ شامپاین)
دیوید سو (Qualcomm Atheros)
سیوتان (دانشگاه لوند)
جفری وانگ (دانشگاه تورنتو)
ژو ـ چائویان (دانشگاه ملی چیائو ـ تونگ)
احسان ژیان طَبَسی (دانشگاه تگزاس اِی اَند اِم A&M)

افزون بر این، همکارم جیسون وُو (Jason Woo) بسیاری از جزئیات افزاره‌های نـانومتری و فیزیـک آن‌ها را به من یاد داد.

تولید این کتاب به کمک هِدِر اِرولینو و وینسِنت برادشاو از انتشارات مک‌گرا ـ هیل ممکن شد کـه به‌طور خستگی‌ناپذیر روی تمام جزئیات بیش از شش ماه کار کردند. از هر دوی این‌ها سپاس‌گزارم.

سرانجام از همسرم آنجلینا برای کمک‌های پیوستهٔ او در تایپ و سامان‌دهی به فصل‌ها مـی‌خـواهم سپاس‌گزاری کنم.

سپاس‌گزاری برای ویرایش نخست

نوشتن کتاب با هیجان زیادی آغاز می‌شود. ولی پس از دو سال نوشتن به‌طور پیوسته، رسم کردن و بازخوانی، وقتی کتاب به بیش از ۷۰۰ صفحه می‌رسد دیگر هماهنگ کردن معادله‌ها، زیرنویس‌ها و بالانویس‌های فصل‌های آخر با فصل نخست تقریباً غیر ممکن می‌شود و نویسنده دچار حملهٔ اضطراب می‌شود و درمی‌یابد که بدون کمک افراد دیگر، این کتاب هرگز تمام نمی‌شود.

این کتاب از کمک افراد زیادی بهره برده‌است. تعدادی از دانشجویان UCLA نسخهٔ اول و پیش از چاپ را جمله به جمله خواندند. به‌ویژه علی‌رضا ذوالفقاری، اِلی سیجوات و حمید رفعتی کتاب را به دقت خواندند و چند صد خطا پیدا کردند (که یافتن برخی از آن‌ها بسیار مشکل بود). هم‌چنین عماد حجازی، داوای گوا، علی‌رضا رزاقی، جعفر ساوج و جینگ تیان توصیه‌های سومندی برای بسیاری از فصل‌ها کردند که از همه سپاس‌گزارم.

افراد متخصص زیادی در دانشگاه و صنعت بخش‌های گوناگونی از کتاب را خواندند و پیشنهادهای سودمندی دادند. از میان آن‌ها بریان براندت (نشنال سِمی کنداکتور)، مات کوری (نشنال سِمی کنداکتور)، تری فیز (دانشگاه ایالتی اورگان)، یان گالتون (دانشگاه کالیفرنیا درسان دیگو)، علی حاجی میری (Caltech)، استیسی هو (آنالوگ دیوایسز)، این هو (تگزاس اینسترومِنتز)، شِن ـ یوان لیو (دانشگاه ملی تایوان)، جو لوتسکی (نشنال سمی کنداکتور)، آمیت مهروترا (دانشگاه ایلی نوی ـ اوربانا شمپاین)، دیوید روبرتسون (آنالوگ دیوایسز)، دیوید سو (T-span)، تائوسون (نشنال سمی کنداکتور)، روبرت تافت (نشنال سمی کنداکتور) و مسعود زرگری (T-span) را می‌توان نام برد. جیسون وُو (UCLA) با حوصله پرسش‌های مرا دربارهٔ فیزیک ترانزیستور تحمل کرد و پاسخ گفت ـ از همه سپاس‌گزارم.

رامش هارجانی (دانشگاه مینه‌سوتا)، جان نوین هیوس (دانشگاه پُردو)، نورمان تین (دانشگاه کُرنِل) و محمود وغدی (دانشگاه ایالتی کالیفرنیا ـ لانگ بیچ) پیشنهاد کتاب را مرور کردند و توصیه‌های ارزشمندی کردند. از همه سپاس‌گزارم.

همسرم، آنجلینا، به این کتاب کمک‌های بسیاری کرد از تایپ فصل‌ها تا پیدا کردن خطاهای بسیار و پرسش‌هایی که مرا وادار کرد در فهم خود بازنگری کنم. بسیار مدیون او هستم.

انتشار به موقع این کتاب با سخت‌کوشی کارکنان مک گرا ـ هیل به‌ویژه کاترین فیلدز، میکِلِه فلومِنهوفت، هِدِر بربریج، دنیز سانتور ـ میتزیت وجیم لابوتس ممکن شد. از همه سپاس‌گزارم.

طراحی آنالوگ را از دو استاد فراگرفته‌ام: مهرداد شریف بختیار (دانشگاه صنعتی شریف) و بروس وُولی (Bruce Wooley) (دانشگاه استنفورد) و شایسته است که قدردانی خودم را به این دو استاد این‌جا ابراز کنم. آن‌چه از این دو فراگرفته‌ام به نسل‌های بسیاری از دانشجویان به ارث خواهد رسید.

دربارهٔ نویسنده

بهزاد رضوی لیسانس مهندسی برق خود را از دانشگاه صنعتی شریف در سال ۱۹۸۵ و فوق لیسانس و دکتری خود را در مهندسی برق در سال‌های ۱۹۸۸ و ۱۹۹۲ از دانشگاه استنفورد دریافت کرد. تا سال ۱۹۹۶ با آزمایشگاههای بل AT&T و هیولت ـ پکارد کار کرد. از ۱۹۹۶ دانشیار و سپس استاد مهندسی برق دانشگاه کالیفرنیا در لوس‌آنجلس (UCLA) شد. زمینهٔ پژوهشی او فرستنده ـ گیرنده‌های بی‌سیم، سنتزکننده‌های فرکانس، مدارهای قفل فاز و بازیافت کلاک برای مخابرات سرعت بالا و مبدل‌های داده است.

پروفسور رضوی از ۱۹۹۲ تا ۱۹۹۴ پروفسور مهمان دانشگاه پرینستون و در سال ۱۹۹۵ در استنفورد بوده است. او از ۱۹۹۳ تا ۲۰۰۲ در کمیته‌های فنی کنفرانس بین‌المللی مدارهای حالت جامد (ISSCC) و از سال ۱۹۹۸ تا ۲۰۰۲ در کمیتهٔ سمپوزیوم مدارهای VLSI بوده است. او ویراستار مهمان و دستیار ویراستار در مجله‌های IEEE Journal of Solid State Circuits، IEEE Transactions on Circuits & Systems و International Journal of High Speed Electronics بوده است.

پروفسور رضوی در ۱۹۹۴ ISSCC جایزهٔ بئاتریس به‌دلیل بهترین ویراستاری، در ۱۹۹۴ ESSCC جایزهٔ بهترین مقاله، جوایز بهترین میزگرد در ISSCC95 وISSCC97 و جایزهٔ TRW نوآوری در تدریس در سال ۱۹۹۷، جایزهٔ بهترین مقاله در IEEE CICC 98 و جایزهٔ نخستین ویرایش سال از انتشارات مک گرا- هیل را درسال ۲۰۰۱ دریافت کرد. او مشترکاً گیرنده جوایز بهترین مقالهٔ دانشجویی Jack Kilby و جایزهٔ بئاتریس برای بهترین ویراستاری در ۲۰۰۱ ISSCC بوده است. در سال ۲۰۰۶ جایزهٔ بهترین روش تدریس از لاک هید مارتین، در سال ۲۰۰۷ جایزهٔ هیأت علمی UCLA و جایزهٔ بهترین مقالهٔ مدعو در CICC سال‌های ۲۰۰۹ و ۲۰۱۲ را در دریافت کرده است. او گیرندهٔ مشترک جایزهٔ بهترین مقالهٔ دانشجویی در سمپوزیوم مدارهای VLSI در سال ۲۰۱۲ و جایزهٔ بهترین مقاله در ۲۰۱۳ CICC بوده است. او به عنوان یکی از ۱۰ نفر نخست در تاریخ ۵۰ سالهٔ ISSCC شناخته شده است. در سال ۲۰۱۲ جایزهٔ دونالد پدرسون در مدارهای حالت جامد را دریافت کرد و نیز جایزهٔ انجمن آمریکایی آموزش مهندسی (PSW) در سال ۲۰۱۴.

پروفسور رضوی سخنران برگزیدهٔ IEEE و عضو دائمی (Fellow) انجمن جهانی مهندسان برق و الکترونیک IEEE است. او نویسندهٔ کتاب‌های زیر است:

Principles of Data Conversion System Design
RF Microelectronics
Design of Analog CMOS Integrated Circuits
Design of Integrated Circuits for Optical Communications
Fundamentals of Microelectronics

و نیز ویراستار کتاب‌های زیر است:

Monolithic Phase – Locked Loops and Clock Recovery Circuits
Phase – Locking in High- Performance Systems

پیشگفتار مترجم

در دسامبر سال گذشته (۲۰۱۷)، شرکت اینتل در گردهمایی بین‌المللی افزاره‌های الکترونیکی[1] (IEDM) در سان‌فرانسیسکو، اعلام کرد که نسل سوم فناوری FET بالـه‌ای (FinFET) بـا طـول کانـال ۱۰nm را برای مدارهای CMOS توان پایین و کارایی بالا آماده کرده است. در این فناوری روش خـود تطبیقـی و الگوسازی چهارتایی[2] (SAQP) را به‌کار می‌برد. این فناوری دارای ۱۲ لایه فلـز نشـانی بـرای برقـراری اتصال است. پهنای باله‌ها ۷ نانومتر و ارتفاع آن‌ها ۴۶ نانومتر است و عایق‌هایی با ضریب دی‌الکتریـک بالا موسوم به High-k نسل پنجم در زیر گیت به‌کار می‌رود. با افزودن موادی مثل ژرمانیوم یا کربن بـه سیلیکن درون کانال، تنش یا استرین پدید می‌آید. استرین ساختار نواری انرژی الکترون، یعنـی انـرژی برحسب تکانهٔ الکترون را چنان تغییر می‌دهد که خمش این نوار که معرف وارونِ جرم مـؤثر الکتـرون است افزایش یابد. به این ترتیب جرم مؤثر الکترون یا لَختی آن در برابر اعمـال ولتـاژ کـم مـی‌شـود و بدین وسیله قابلیت حرکت الکترون (μ) و یا جریان‌دهی ترانزیستور افـزایش مـی‌یابـد. بـا اسـتفاده از نشاندن چندین لایه فلز روی کانال با تابع کارهای[3] مختلف، توانسته‌اند بدون نیاز به آلایـش (doping)، ولتاژ آستانه (V_{th}) ترانزیستور را نیز کاهش دهند. با این کار جریان‌دهـی NMOS و PMOS نسـبت بـه نسل پیشین این فناوری یعنی FinFET – ۱۴nm، به ترتیب ۷۱٪ و ۳۵٪ افزایش مـی‌یابـد. بـرای افـزایش چگالی چینش ترانزیستورها از روشی به‌نام اتصال روی گیت فعال[4] استفاده شده اسـت تـا گیـت‌هـای مجازی (dummy) از دو طرف سلول‌های استاندارد دیجیتال حذف شوند. اسـتفاده از کوبالـت (*Co*) در دو لایه فلز اول، پدیدهٔ رانش الکتریکی[5] را ۵ تا ۱۰ برابـر و مقاومـت اتصـال (*Via*) را ۲ برابـر کـاهش می‌دهد. از عایق‌هایی با ضریب دی الکتریک بسیار کم (ultra-low k) بین فلزات استفاده شده اسـت تـا هم‌شنوایی در اثر خازن تزویج بین آن‌ها را کم کند.

شرکت‌های دیگری هم در IEDM 2017 آمادگی فناوری‌های خود را بـرای قبـول سـفارش طراحـی سیستم روی سیلیکن (SoC) اعلام کردنـد همچـون گلوبـال فانـدریز[6] کـه فنـاوری[7] FDSOI بـا انـدازهٔ ۲۸nm را برای طراحی *RF* و آنالوگ آماده کرده است و با پـرش از فنـاوری ۱۰nm، نسـل FinFET ۷ نانومتری را برای مدارهای دیجیتال به‌ویژه حافظه آماده کرده است.

---

[1] International Electron Device Meeting (IEDM)
[2] SAQP=Self – Aligned Quad - Patterning
[3] Work Function (ϕ)
[4] Contact over Active Gate
[5] Electromigration
[6] Global Foundaries
[7] FDSOI=Fully-Depleted Silicon – on - Insulator

CAE-Leti از فرانسه فناوری FET چند طبقه بر اساس نانوسیم‌های[1] سیلیکانی را ارائه کرده است. به موازات این نوآوری‌ها، اینتل فناوری[2] ۲۲FFL را معرفی می‌کند که در آن چینش ترانزیستور برای طراحی RF آماده شده است تا فرکانس f_T و f_{MAX} را مثلاً برای NMOS به ترتیب به ۲۳۰ GHz و ۲۸۴ GHz برساند. این فناوری دارای مقاومت‌های بزرگ، چاه – n عمیق برای جدا کردن ترانزیستورهای RF، مقاومت دقیق، خازن‌های فلز ـ عایق ـ فلز (MIM) و اندوکتانس‌های با کیفیت بالا (high Q) است.

در کنار این‌ها، کارگاه‌های آموزشی و سخنرانی‌هایی هم وجود دارند دربارهٔ ترانزیستورهای با خازن منفی[3] مانند NC FinFET با فناوری ۱۴ nm از گلوبال فاندریز و NC FDSOI که در آن‌ها با به‌کار گرفتن مواد فروالکتریک مثل ترکیب Al و اکسید هافنیوم (HfOx)، می‌توان از خازن دیفرانسیل منفی برای تقویت پتانسیل سطحی مرز کانال و گیت و در نتیجه تنظیم ولتاژ آستانهٔ ترانزیستور و تنظیم I_{ON}/I_{OFF} استفاده کرد.

ترانزیستورهایی بر اساس اکسید وانادیوم (VO_2) معرفی شدند که در آن‌ها گذار فاز از فلز ـ به ـ عایق و بالعکس، امکانات جالبی را پیش روی طراحان مدار قرار می‌دهد.

در نشست‌های مربوط به حافظه، فناوری‌هایی همانند RAM های مقاومتی یا ReRAM[4] معرفی شدند که براساس گذار فاز در مقاومت‌های حافظه‌دار یا Memristor درست شده‌اند ولی می‌توان آن‌ها را برای ساخت حافظه‌هایی به‌کار برد که هر چه بیشتر عملکرد شبکه‌های عصبی و مغز را شبیه‌سازی کنند و بالاخره برای سیستم‌هایی دارای هوش مصنوعی[5] (AI) بکار بروند.

حافظه‌هایی از نوع پیوند تونلی مغناطیسی[6] (MTJ) و RAM مغناطیسی (MRAM) معرفی شدند که اساس کار آن‌ها تونل زدن گزینشی الکترون از درون یک سه لایهٔ فرومغناطیسی است، بر حسب این‌که اسپین الکترون با مغناطش لایهٔ reader، موازی باشد یا نه.

اساس کار این نوع حافظه‌ها اثر مغناطورزیستانس بزرگ[7] (GMR) است که توسط پیترگرونبرگ[8] و آلبرت فِرت[9] از آزمایشگاه‌های پژوهشی یولیش (Jülich) در آخن، آلمان کشف شد و در سال ۲۰۰۷ جایزهٔ نوبل فیزیک را از آن، آن‌ها کرد. این پدیده در هِد (head) یا دیسک‌خوان در دیسک‌های سخت کامپیوتر برای خواندن دادهٔ روی دیسک به‌کار می‌رود و به کمک حساسیت بالای پدیدهٔ GMR بود که توانستند چگالی ذخیره‌سازی روی دیسک را تا حد ترابایت افزایش دهند و از سویی اندازه و وزن دیسک سخت را کاهش دهند. ادواتی هم بر اساس گشتاور اسپین[10] الکترون از شرکت‌های آی بی ام، گلوبال فاندریز و اِوِر اسپین[11] گزارش شده‌اند.

---

[1] Nanowires
[2] 22FFL=22nm FinFET Low power
[3] Negative Capacitance (NC)
[4] Resistive Random Access Memory (ReRAM)
[5] Artificial Intelligence
[6] Magnetic Tunnel Junctions
[7] Giant Magneto Resistance
[8] Peter Grünberg
[9] Albert Fert
[10] Spin - Torque
[11] Ever Spin

در کنار نشست‌های بالا، میزگردهای ویژه‌ای نیز برای مدل‌سازی فیزیکی، بهبود فرآیند ساخت و مشخصه‌یابی و آزمون ترانزیستورهای ۵ nm وجود داشت و همین‌طور گزارش‌هایی از پیاده‌سازی گیت‌های کوانتومی براساس کیوبیت با اسپین الکترون در فناوری‌های سازگار با CMOS که در آن‌ها اسپین الکترون را می‌توان به‌کمک اثر نسبیتی[1] SOI، به‌وسیلهٔ میدان الکتریکی گیت ترانزیستور کنترل کرد. برای دیدن گزارش‌ها و نشست‌های این گردهمایی می‌توانید به سایت https://ieee-iedm.org و یا مجموعه مقاله‌های آن در ieeexplore مراجعه کنید.

همین چشم‌انداز کوتاه کافی است که نشان دهد فناوری بی‌سیم نسل پنجم (5G)، اینترنت اشیا[2] (IOT)، رباتیک و هوش مصنوعی (AI)، پردازش هوشمند داده‌های بزرگ (Big Data)، محاسبات ابری (cloud computing)، محاسبات کوانتومی، نیاز به پردازش موازی و حافظهٔ زیاد برای ذخیره‌سازی داده‌های علمی (Data Center) و ... همه انگیزه‌ها و نیروهای محرک نوآوری‌های گزارش شده در IEDM هستند.

موارد بالا، افزون بر این‌که خبر خوبی برای طراحان آنالوگ هستند و نشان می‌دهند که بازار کار و تقاضا برای طراحان آنالوگ همواره وجود دارد و حتی افزایش هم می‌یابد، ولی از سویی این هشدار را می‌دهند که همانند گذشته نمی‌توان از فیزیکِ فناوری جدید و بنیاد کاریِ این افزاره‌ها کناره گرفت و ترانزیستور را جعبه‌ای سیاه با مدل داده شده فرض کرد و تلاش خودِ را روی طراحی و ابتکارات مداری متمرکز کرد. اگر در دو یا سه دههٔ گذشته می‌شُد با معادلهٔ رانش ـ نفوذ[3]، حرکت الکترون در کانال FET را همانند ذره یا سیالی کلاسیکی حل کرد و معادله‌ای ساده بین I و V برای طراحی به‌دست آورد، دیگر امروز این روش قابل کاربرد نیست. به‌عنوان مثالی دیگر از ناکارآمدی روش‌های مدل‌سازی کلاسیکی، عبور موج میکرویو از یک موجبَر را در نظر بگیرید. اگر موجبَر یا خط انتقال دارای لبه‌های بریده و یا با پستی و بلندی باشد، موج می‌تواند دچار بازتاب شود و این ضریب گذر سیگنال مثلاً S_{12} را کاهش می‌دهد. الکترون هم در گذر از یک کانال ۵ نانومتری می‌تواند به شَوَندِ (دلیل) ناآراستگی‌ها و پستی بلندی‌های اتمی در فرآیند زدایش[4] براساس فیزیک کوانتومی، دچار بازتاب شود و طراح آنالوگ این اثر را به شکل کاهش جریان در مشخصهٔ I-V می‌بیند. اثرات دیگری مثل نشت جریان به درین و سورس در اثر گیت[5] (GIDL و GISL)، تونل زدن از یک باند انرژی به باند دیگر[6] (BTBT) و اثر تونل زدن از گیت به کانال و بالعکس، همه پدیده‌هایی هستند که در اندازه کوچک مهم می‌شوند و I_{off} ترانزیستور را افزایش می‌دهند. از این‌رو هر چه فناوری CMOS به‌سوی اندازه‌های کوچک‌تر پیش برود، بر پیچیدگی فیزیک، مدل‌ها و تعداد معادلات مدل‌کنندهٔ ترانزیستور افزوده می‌شود. پس در این روند پرشتاب فناوری، باید طراحان آنالوگ و حتی دیجیتال، فیزیک آگاه (physics – aware) هم باشند.

---

[1] SOI=Spin-Orbit-Interaction
[2] IoT=Internet of Things
[3] Drift - Diffusion
[4] Etching
[5] GIDL=Gate Induced Drain Leakage GISL= Gate Induced Source Leakage
[6] BTBT=Band To Band Tunneling

IEDM هشداری به برنامه‌ریزان درسی رشتهٔ مهندسی برق نیز هست. هنوز دانشکده‌های مهندسی برق بی‌شماری در کشورهای مختلف هستند که درس‌های فیزیک کوانتومی، فیزیک حالت جامد و مواد را درس‌های تجمّلی و یا در بهترین حالت «مباحث ویژه» می‌دانند.

از سویی اهمیت دادنِ بیش از اندازه و کمّی به مقاله‌های پژوهشی و شمارش تعداد مقالات و حتی در مواردی جمع زدنِ ضرَیب تأثیر[1] مقاله‌ها برای ارزش‌یابی استخدامی و ارتقای شغلی باعث شده که فرصت تدریس با کیفیت و ژرف از معلمان گرفته شود و دانش‌جویان هم فرصت مطالعهٔ ژرف و یافتن دید گسترده از رشتهٔ خود، ارتباط آن با رشته‌های دیگر و حتی تاریخ رشتهٔ خود را از دست بدهند. روند گفته شده سرعتِ روزآمد کردنِ مواد درسی و مجهز کردنِ درس‌ها به ابزارهای موردنیازِ ناشی از کم‌رنگ شدن مرزِ الکترونیک و فیزیک را، از سرعت پیشرفت فناوری و پیدایش چالش‌ها و مسأله‌های نوین، کُندتر می‌کند.

خوش‌بختانه هنوز معلمانی هستند چون بهزاد رضوی، سوپریو داتّا[2] و ... که با تلاش و علاقه سعی کرده‌اند در دو دههٔ گذشته این خلاء را با کتاب‌های سودمند خود پر کنند. برای مثال سوپریو داتّا که از استادان مهندسی برق دانشگاه پردو[3] است، روش Keldysh [4] یا[5] (NEGF) را که ابزاری در نظریهٔ میدان‌های کوانتومی است، به شکلی ساده و قابل فهم برای مهندسان برق دوباره نویسی کرد و آن‌را در درس‌های ادوات نیمه‌رسانا و مدل‌سازی ترانزیستور گنجاند. حاصل این درس‌ها کتاب «ترابرد کوانتومی: از اتم تا ترانزیستور»[6] و کتاب‌های نغز و سودمند دیگر است. او از دو دههٔ پیش ضرورت فیزیک- آگاه کردنِ مهندسان الکترونیک را احساس کرده بود و به پرورش شاگردانی با این دیدگاه پرداخته است و سایت اینترنتی nanohub.org را به همراه همکاران خود در دانشگاه پردو راه‌اندازی کرد که به بینندگان شبیه‌سازی ترانزیستورهای نانومتری را آموزش می‌دهد. شرکت Synopsys که از بزرگترین سازندگان نرم‌افزارهای شبیه‌سازی ادوات نیمه‌رسانا و مدار است، روش NEGF را در ابزارهای خود امروزه به‌کار می‌برد که روشی استاندارد است برای بدست آوردنِ مشخصه I-V ترانزیستورهای نانومتری مثل FinFET، FDSOI و NWFET.

رویدادهای علمی و فَنی همانند *IEDM* نشان می‌دهند که مرز میان فیزیک و مهندسی الکترونیک در حال کمرنگ شدن است و این فرصت مناسبی است برای هر دو طرف که هر چه بیشتر از روش‌ها و دیدگاه‌های هم برای حل مسأله‌های نوین، فرابگیرند و بهترین الگو درس گرفتن از گذشته است و *بازگشت به اصل*.

وقتی در تابستان سال ۲۰۱۷، جناب آقای مهندس شیرازی، مدیر محترم انتشارات نیاز دانش، پیشنهاد ترجمهٔ ویرایش دوم این کتاب را مطرح کردند، قرار شد که بنده کتاب را ببینیم و به‌ایشان

---

[1] Impact Factor
[2] Supriyo Datta
[3] Purdue University
[4] منسوب به لئونید ونیامینویچ کلدوش (L.V.Keldysh) فیزیکدان روسی از پیشگامان نظریهٔ میدان‌های کوانتومی و اکسایتون (exciton) در نیمه رساناها (تولد ۱۹۳۱- فوت ۲۰۱۶)
[5] Non Equilibrium Green Function (NEGF)
[6] Supriyo Datta, "Quantum Transport: Atom to Transistor", Cambridge University press, 2013.

پاسخ بدهم. پس از دیدنِ بخش‌هایی دربارهٔ روش بُود، قضیهٔ میدلبروک یا EET[1] و فصلی ویژه برای طراحی نانومتری، ترجمهٔ این کتاب را بدون درنگ پذیرفتم. دلیل آن دیدنِ دو مورد در کتاب بود: *بازگشت به اصل* و *نگاهی به آینده*. این از ویژگی‌های ضروری یک معلم ورزیده و علاقه‌مند هم‌چون رضوی و داتّا است که شاگردان خود را برای حل مسائل جدید و به روز آماده کند و از سوئی خود به جستجو و کندوکاو در منابع مختلف و حتی قدیمی بپردازد تا روش‌هایی ناب را بیابد و برای حل مسائل جدید به‌کار ببرد و با یافتن و نشان دادنِ همانندی بین دو روشِ به ظاهر متفاوت در دو رشتهٔ مختلف، دید شاگردان و خوانندگان را افزایش دهد. چهار قانونی که خود نویسنده در پیشگفتار بر می‌شمرد نشانهٔ همین ورزیدگی و علاقه به معلمی است.

از این‌رو ترجمهٔ ویرایش دوم را از فصل ۱۱، ۲ و ۱۷ آغاز کردم تا پایان کتاب. ترجمهٔ این کتاب برای بنده که حدود یک دهه از طراحی مدار دور شده بودم، سفری بود به گذشته و فرصتی بود برای بازآموزی طراحی آنالوگ از معلم واقعی آن. و نیز مایهٔ خشنودی بود که زمینهٔ پژوهشی بنده، یعنی ترابرد الکترون در نانوسیم‌های سیلیکانی و کامپیوترهای کوانتومی را در حال همگرایی با فناوری CMOS دیدم و خشودی از این‌که خواندن کتاب‌های بُود و میدلبروک در کتاب‌خانهٔ کوچک شرکت کاووش کام آسیا حدود پانزده سال گذشته، هرگز اتلاف وقت نبود.

در مورد این کتاب و نویسندهٔ آن، پروفسور بهزاد رضوی، نیازی به نوشتن چیزی نمی‌بینیم، چون پیش‌گفتار ایشان، فهرست مطالب جدید در کتاب و توصیهٔ کتاب توسط استادان مختلف این رشته در پشت جلد به اندازهٔ کافی گویاست و شخصِ ایشان هم به خوبی برای خوانندگان ایرانی آشناست. پس به گفتن یک خاطره بسنده می‌کنم.

بیش از پانزده سال پیش در یکی از نشست‌های هفتگی هیئت تحریریهٔ مجلهٔ برق شریف، سردبیر مجله، آقای مهندس علی کافی که مدیریت گروه برق مرکز نشر دانشگاهی را هم بر عهده داشتند، برایمان این خاطره را تعریف کردند. ایشان می‌گفت حدود چندین سال پیش‌تر (ظاهراً دهه ۶۰ شمسی) روزی جوانی دانشجو به دفتر ایشان می‌آید و می‌گوید که می‌خواهد کتاب تحلیل و طراحی مدارهای مجتمع آنالوگ نوشتهٔ گری و مایر را ترجمه کند تا مرکز نشر دانشگاهی آن‌را به چاپ برساند. با کمی ناباوری یا کمی جدی نگرفتن یک دانشجو، به او گفته می‌شود که برود ترجمه کند و بیاورد تا اگر خوب بود چاپ کنیم. بعد از مدت کوتاهی (حدود یک هفته) جوان مترجم با انبوهی کاغذ باز می‌گردد. بعد از این‌که ترجمه بررسی می‌شود آن‌را بسیار خوب می‌یابند و ترجمهٔ کتاب گری و مایر به این ترتیب چاپ شد و این جوان مترجم کسی نبود جز بهزاد رضوی.

دیری نگذشت که این بار کتاب طراحی مدارهای مجتمع آنالوگ CMOS، نوشتهٔ «پروفسور» بهزاد رضوی دست به دست میان دانشجویان و استادان می‌گشت و هنگامی‌که نسخه‌ای از آن را از آقای دکتر علی فتوت احمدی برای ترجمه امانت گرفتم، دیگر شیرازهٔ کتاب از هم گسسته بود. پس از تماس با پروفسور رضوی و جویا شدن نظر ایشان دربارهٔ ترجمه، ضمن تشویق بنده و همکارم آقای مهندس حسن معارفی، گفتند: «یادتان باشد که ترجمه کار بسیار سختی است.» و براستی این‌گونه هم بود.

[1] EET=Extra Element Theorem

ویرایش دوم فرصتی داد تا خطاهای برجـای مانـده در ترجمـهٔ ویـرایش نخسـت را اصـلاح کـنم، خطاهایی که به شَوَندِ (دلیل) هم‌زمان شدنِ کار ترجمه، خدمت سـربازی و مهـاجرت از دیـد پوشـیده ماند. در این ویرایش هم به‌دلیل دست تنهاَ بودن در ترجمه و حجم بالای کتاب، احتمال برجای مانـدن خطا وجود دارد. از خوانندهٔ گرامی خواهش می‌کنم آن‌را به بنده (d_shiri@yahoo.com) و یا انتشـارات نیاز دانش گوشزد کنند تا در نسخه‌های آینده درست شود.

پیوست کوتاهی دربارهٔ فناوری ساخت FinFET افزوده‌ام که با توجه به تفاوت‌هـای بـی‌شـمار بـین فرآیندهای سازندگان مختلف، این پیوست یک روند ساده شده و مشترکات مهمِ بین این روش‌هاسـت. شاید در آینده به این پیوست نیاز نباشد و خـودِ نویسـنده فصـلی کامـل براسـاس اسـتانداردِ آن زمـان بنویسند.

در مورد واژگان معادل، فیدبک، فید فوروارد، سورس، درین و گیت را به همین صورت نوشته‌ام و معادل‌هایی همانند پس‌خور، پیش‌خور، چشمه و کشانه و دریچه را به‌کـار نبـردم چـون هنـوز مطمـئن نیستم که همهٔ کتاب‌های درسی و رسانه‌ها این معادل‌ها را به‌کار می‌برند.

اگرچه واژه‌گزینی برای واژگان فنـی کـاری سـتوده اسـت و شایسـتهٔ سـپاس‌گـزاری ولـی ترجمـهٔ یک‌به‌یک از انگلیسی به فارسی و یا جایگزین کردنِ واژهٔ انگلیسی با عربی کار را تمام نمی‌کند. اگرچـه در واژهٔ فیدبک (feedback)، بخش نخست واژه از خوراندن (to feed) آمده ولی لزومی ندارد که «خـور» را همه‌جا به‌دنبال بکشیم. کافی اسـت نگـاهی بـه معـادل آلمـانی (die Rückkoppelung) و یـا سـوئدی (återkoppling) بیندازیم تا ببینیم که مفهوم واقعی فیـدبک در ایـن واژگـان نهفتـه اسـت کـه بـه معنـی «بازگشته»، «پس‌داده»، «بازگردانده» است یعنی «بازگرداندن» بخشی از خروجی به ورودی سیستم برای ارزیابی خطا. زبان‌های دور از زبان انگلیسی، سرچشمه‌های سودمندتری برای واژه‌گزینی هستند. بـرای مثال در زبان ژاپنی، برای واژهٔ الکترون و اتم به ترتیب معادل «دِن‌شی= بچهٔ بـرق» و «گِـن شـی= بچـهٔ ماده» توصیه شده و در تمام کشور ژاپن (رادیو، تلویزیون، روزنامه و کتاب) به‌کار می‌رود. یـا در زبـان ایسلندی برای تلویزیون واژهٔ شون‌وارپ (sjonvarp) یعنی «نما افکـن» توصـیه شـده و در تمـام کشـور به‌کار می‌رود تا زبان قدیمی ایسلندی از آماج واژگانِ انگلیسی در فناوری جدید، پاس داشته بماند.

باز هم از آقای مهندس حمیدرضا شیرازی، مدیرِ محترم انتشارات نیـازدانش، کـه فرصـت ترجمـهٔ ویراست دوم این کتاب را به بنده دادند سپاس‌گزارم. انتشارات نیاز دانش شایستهٔ سپاس همـهٔ کسـانی است که به پیشرفت دانش و ترویج کتاب و کتاب‌خوانی در ایران دل بسته‌اند.

دوست بزرگوارم آقای دکتر علی پارسا (از دانشجویان پیشین پروفسـور بهـزاد رضـوی) در یـافتن بعضی از خطاهای کتاب به من کمک کردند. سال‌ها پیش، ترجمهٔ دو کتاب از پروفسور رضوی را هـم به دست ایشان در UCLA رساندند. صمیمانه از ایشان سپاس‌گزارم.

در پایان این ترجمهٔ کوچک را پیش‌کش می‌کنم به روان پاک شهیدان سرافراز هشـت سـال جنـگِ واداشته و نابرابر به میهنم ایران، به‌ویژه استادِ شهید مهندس غلام‌رضا رضایی.

داریوش شیری

زمستان ۲۰۱۹ ـ سوئد

فهرست مطالب

عنوان **شماره صفحه**

فصل ۱ / آشنایی با طراحی آنالوگ ۲۷

۱-۱ چرا آنالوگ؟ ۲۷
۱-۱-۱ سنجش و پردازش سیگنال‌ها ۲۷
۱-۱-۲ وقتی سیگنال‌های دیجیتال آنالوگ می‌شوند ۲۸
۱-۱-۳ نیاز به طراحی آنالوگ بالاست ۳۰
۱-۱-۴ چالش‌های طراحی آنالوگ ۳۱
۱-۲ چرا مجتمع؟ ۳۲
۱-۳ چرا CMOS؟ ۳۲
۱-۴ چرا این کتاب؟ ۳۳
۱-۵ سطوحِ تجرید (abstraction) ۳۳

فصل ۲/ فیزیک پایهٔ ترانزیستور MOS ۳۵

۲-۱ ملاحظات کلی ۳۶
۲-۱-۱ MOSFET به عنوان نوعی کلید ۳۶
۲-۱-۲ ساختار MOSFET ۳۶
۲-۱-۳ نشانه‌های MOS ۳۹
۲-۲ مشخّصهٔ I/V برای MOS ۴۰
۲-۲-۱ ولتاژ آستانه (threshold) ۴۰
۲-۲-۲ به دست آوردنِ مشخّصهٔ I / V ۴۲
۲-۲-۳ ترارسانایی MOS ۵۰
۲-۳ اثرات مرتبهٔ دوم ۵۲
۲-۴ مدل‌های ترانزیستور MOS ۵۹
۲-۴-۱ چینش (layout) ترانزیستور MOS ۵۹
۲-۴-۲ خازن‌های ترانزیستور MOS ۶۱
۲-۴-۳ مدل سیگنال کوچک MOS ۶۵
۲-۴-۴ مدل‌های SPICE برای MOS ۷۰
۲-۴-۵ مقایسهٔ NMOS با PMOS ۷۱
۲-۴-۶ مقایسهٔ کانالِ بلند و کانالِ کوتاه ۷۱
۲-۵ پیوست الف: FinFETها ۷۱
۲-۶ پیوست (ب): رفتار افزارهٔ MOS به عنوانِ یک خازن ۷۳

فصل ۳/ تقویت‌کننده‌های یک طبقه ۸۳

۳-۱ کاربردها ۸۳
۳-۲ ملاحظات کلی ۸۴
۳-۳ طبقهٔ سورس ـ مشترک ۸۶
۳-۳-۱ طبقهٔ سورس مشترک با بار مقاومتی ۸۶
۳-۳-۲ طبقهٔ CS با بار دیودی ۹۲
۳-۳-۳ طبقهٔ CS با بار منبع جریان ۹۹
۳-۳-۴ طبقهٔ CS با بار فعال ۱۰۱
۳-۳-۵ طبقهٔ CS با بار تریودی ۱۰۲
۳-۳-۶ طبقهٔ CS با سورسِ سوده (degenerate) ۱۰۳
۳-۴ پیروِ سورس (Source Follower) ۱۱۱
۳-۵ طبقهٔ گیت مشترک ۱۲۱
۳-۶ طبقهٔ کسکود ۱۳۰
۳-۶-۱ کسکود تاشُده (folded) ۱۴۰
۳-۷ انتخاب مدل ترانزیستور ۱۴۳

فصل ۴/ تقویت‌کننده‌های دیفرانسیلی ۱۵۳

۴-۱ کارکرد تک‌سَر و دیفرانسیلی ۱۵۳
۴-۲ زوج دیفرانسیل پایه ۱۵۶
۴-۲-۱ تحلیل کیفی ۱۵۷
۴-۲-۲ تحلیل کمّی ۱۶۱
۴-۲-۳ زوج دیفرانسیل سوده شده ۱۷۴
۴-۳ پاسخ مُد ـ مشترک ۱۷۵
۴-۴ زوج دیفرانسیلی با بارهای MOS ۱۸۳
۴-۵ سلول گیلبرت (Gilbert) ۱۸۶

فصل ۵/ آیینه‌های جریان و روش‌های بایاس ۱۹۷

۵-۱ آیینه جریان‌های ساده ۱۹۷
۵-۲ آیینه جریان‌های کسکود ۲۰۴
۵-۳ آیینه جریان‌های فعال ۲۱۳
۵-۳-۱ تحلیل سیگنال بزرگ ۲۱۶
۵-۳-۲ تحلیل سیگنال ـ کوچک ۲۲۰
۵-۳-۳ ویژگی‌های مُد ـ مشترک ۲۲۵
۵-۳-۴ ویژگی‌های دیگر در OTA پنج ترانزیستوری ۲۲۹
۵-۴ روش‌های بایاس ۲۳۰

۵-۴-۱ بایاس CS ۲۳۰
۵-۴-۲ بایاس CG ۲۳۵
۵-۴-۳ بایاس سورس پیرو ۲۳۶
۵-۴-۴ بایاس زوج دیفرانسیل ۲۳۷

فصل ۶/ پاسخ فرکانسی تقویت‌کننده‌ها ۲۴۷

۶-۱ ملاحظات کلی ۲۴۷
۶-۱-۱ اثر میلر (Miller) ۲۴۸
۶-۱-۲ تخصیص قطب به گره‌ها ۲۵۴
۶-۲ طبقهٔ سورس- مشترک ۲۵۶
۶-۳ سورس پیروها ۲۶۵
۶-۴ طبقهٔ گیت- مشترک ۲۷۲
۶-۵ طبقهٔ کسکود ۲۷۵
۶-۶ زوج دیفرانسیلی ۲۷۸
۶-۶-۱ زوج دیفرانسیلی با بارهای غیر فعال (پسیو) ۲۷۸
۶-۶-۲ زوج دیفرانسیلی با بار فعال ۲۸۱
۶-۷ مصالحهٔ بهره- پهنای باند ۲۸۴
۶-۷-۱ مدارهای تک‌قطبی ۲۸۴
۶-۷-۲ مدارهای چند قطبی ۲۸۶
۶-۸ پیوست الف: قضیهٔ عنصر اضافی یا (EET) ۲۸۷
۶-۹ پیوست ب: روش ثابت زمانی مقدار – صفر ۲۹۰
۶-۱۰ پیوست ج: دوگانِ قضیهٔ میلر ۲۹۵

فصل ۷/ نویز (Noise) ۳۰۳

۷-۱ ویژگی‌های آماری نویز ۳۰۳
۷-۱-۱ طیف نویز ۳۰۶
۷-۱-۲ توزیع دامنه ۳۱۰
۷-۱-۳ منابع همبسته و نابسته ۳۱۱
۷-۱-۴ نسبت سیگنال به نویز ۳۱۲
۷-۱-۵ روند تحلیل نویز ۳۱۳
۷-۲ انواع نویز ۳۱۴
۷-۲-۱ نویز حرارتی ۳۱۴
۷-۲-۲ نویز فلیکر (Flicker) ۳۲۱
۷-۳ نمایش نویز در مدارها ۳۲۵
۷-۴ نویز در تقویت‌کننده‌های یک طبقه ۳۳۴

۷-۴-۱ طبقهٔ سورس ـ مشترک ۳۳۶
۷-۴-۲ طبقهٔ گیت مشترک ۳۴۲
۷-۴-۳ سورس پیرو ۳۴۶
۷-۴-۴ طبقهٔ Cascode ۳۴۷
۷-۵ نویز در آیینه‌های جریان ۳۴۸
۷-۶ نویز در زوج‌های دیفرانسیلی ۳۵۰
۷-۷ رویارویی نویز و توان ۳۵۸
۷-۸ پهنای باند نویز ۳۶۰
۷-۹ مسألهٔ انتگرال‌گیری از نویز ورودی ۳۶۱
۷-۱۰ پیوست الف: مسألهٔ هم‌بستگی نویز ۳۶۲

فصل ۸/ فیدبک ۳۷۳

۸-۱ ملاحظات کلی ۳۷۳
۸-۱-۱ ویژگی‌های مدارهای فیدبک‌دار ۳۷۴
۸-۱-۲ گونه‌های تقویت‌کننده ۳۸۲
۸-۱-۳ سازوکارهای سنجش و بازگرداندن ۳۸۵
۸-۲ توپولوژی‌های فیدبک ۳۸۷
۸-۲-۱ فیدبک ولتاژ ـ ولتاژ ۳۸۸
۸-۲-۲ فیدبک جریان ـ ولتاژ ۳۹۴
۸-۲-۳ فیدبک ولتاژ ـ جریان ۳۹۷
۸-۲-۴ فیدبک جریان ـ جریان ۴۰۱
۸-۳ اثر فیدبک روی نویز ۴۰۲
۸-۴ مشکلات تحلیل فیدبک ۴۰۴
۸-۵ بارگذاری ۴۰۸
۸-۵-۱ مدل‌های شبکهٔ دو- پورت ۴۰۸
۸-۵-۲ بارگذاری در فیدبک ولتاژ ـ ولتاژ ۴۱۰
۸-۵-۳ بارگذاری در فیدبک جریان ـ ولتاژ ۴۱۵
۸-۵-۴ بارگذاری در فیدبک ولتاژـ جریان ۴۱۸
۸-۵-۵ بارگذاری در فیدبک جریان ـ جریان ۴۲۱
۸-۵-۶ خلاصهٔ اثرات بارگذاری ۴۲۳
۸-۶ روش بُود (Bode) در تحلیل مدارهای فیدبک‌دار ۴۲۴
۸-۶-۱ مشاهدات ۴۲۴
۸-۶-۲ تفسیر ضرایب ۴۲۵
۸-۶-۳ تحلیل بُود (Bode) ۴۳۰
۸-۶-۴ قضیهٔ امپدانس بلاکمَن (Blackman) ۴۳۵

۸-۷ روش میدلبروک (Middlebrook) ۴۴۳
۸-۸ دشواری‌های محاسبهٔ بهرهٔ حلقه ۴۴۴
۸-۸-۱ مفاهیم اولیه ۴۴۴
۸-۸-۲ مشکلات نسبت بازگشتی ۴۴۸
۸-۹ تفسیر دیگری از روش بُود ۴۴۹

فصل ۹/ تقویت‌کننده‌های عملیاتی ۴۶۱

۹-۱ ملاحظات کلی ۴۶۱
۹-۱-۱ پارامترهای کاری ۴۶۲
۹-۲ آپ‌امپ‌های یک طبقه ۴۶۷
۹-۲-۱ توپولوژی‌های ساده ۴۶۷
۹-۲-۲ رویهٔ طراحی ۴۷۲
۹-۲-۳ تغییر خطیِ اندازه‌ها ۴۷۵
۹-۲-۴ آپ‌امپ‌هایِ کسکود ـ تا شده (Folded) ۴۷۶
۹-۲-۵ ویژگی‌های کسکود ـ تا شده ۴۸۰
۹-۲-۶ رویهٔ طراحی ۴۸۱
۹-۳ آپ‌امپ‌های دو طبقه ۴۸۳
۹-۳-۱ فرآیند طراحی ۴۸۶
۹-۴ بهره افزایی (Gain Boosting) ۴۸۸
۹-۴-۱ مفهوم پایه ۴۸۸
۹-۴-۲ پیاده‌سازی مدار ۴۹۳
۹-۴-۳ پاسخ فرکانسی ۴۹۷
۹-۵ مقایسه ۴۹۹
۹-۶ محاسبهٔ سوینگ خروجی ۵۰۰
۹-۷ فیدبک مُد ـ مشترک ۵۰۱
۹-۷-۱ مفاهیم پایه ۵۰۱
۹-۷-۲ روش‌های سنجش CM ۵۰۴
۹-۷-۳ روش‌های فیدبک CM ۵۰۸
۹-۷-۴ CMFB در آپ‌امپ‌های دو طبقه ۵۱۶
۹-۸ محدودیت‌های گسترهٔ ورودی ۵۱۹
۹-۹ آهنگ چرخش (Slew) ۵۲۱
۹-۱۰ آپ‌امپ‌هایی با آهنگ چرخش بالا ۵۲۹
۹-۱۰-۱ آپ‌امپ‌های یک طبقه ۵۲۹
۹-۱۰-۲ آپ‌امپ‌های دو طبقه ۵۳۲
۹-۱۱ حذف اثر منبع تغذیه ۵۳۳

۹-۱۲ نویز در آپ‌امپ‌ها ۵۳۵

فصل ۱۰/ پایداری و جبران‌سازی فرکانسی ۵۴۷

۱-۱۰ ملاحظات کلی ۵۴۷
۲-۱۰ سیستم‌های چند قطبی ۵۵۲
۳-۱۰ کرانهٔ (Margin) فاز ۵۵۴
۴-۱۰ مبانی جبران‌سازی فرکانسی ۵۵۸
۵-۱۰ جبران‌سازی آپ‌امپ‌های دو طبقه ۵۶۶
۶-۱۰ چرخش (slewing) در آپ‌امپ‌های دو طبقه ۵۷۵
۷-۱۰ روش‌های دیگر جبران‌سازی ۵۷۸
۸-۱۰ معیار پایداری نایکویست ۵۸۳
۱-۸-۱۰ انگیزه ۵۸۳
۲-۸-۱۰ مفاهیم پایه ۵۸۵
۳-۸-۱۰ ساختن منحنی‌های قطبی ۵۸۷
۴-۸-۱۰ اصل کوشی (Cauchy) ۵۹۳
۵-۸-۱۰ روش نایکویست (Nyquist) ۵۹۳
۶-۸-۱۰ سیستم‌هایی با قطب در مبدأ ۵۹۷
۷-۸-۱۰ سیستم‌هایی با چند بار گذر از 180° ۶۰۱

فصل ۱۱/ بررسی طرح‌های نانومتری ۶۰۹

۱-۱۱ ملاحظات طراحی ترانزیستور ۶۰۹
۲-۱۱ اثرات زیر میکرونی عمیق ۶۱۱
۳-۱۱ تغییر (scaling) ترارسانایی ۶۱۴
۴-۱۱ طراحی ترانزیستور ۶۱۸
۱-۴-۱۱ طراحی برای I_D و $V_{DS\min}$_داده شده ۶۱۹
۲-۴-۱۱ طراحی برای I_D و g_m داده شده ۶۲۲
۳-۴-۱۱ طراحی برای g_m و $V_{DS,\min}$ داده شده ۶۲۵
۴-۴-۱۱ طراحی برای g_m داده شده ۶۲۵
۵-۴-۱۱ گزینش طول کانال ۶۲۷
۵-۱۱ مثال‌های طراحی آپ – امپ ۶۲۷
۱-۵-۱۱ آپ‌اَمپ تلسکوپی ۶۲۷
۲-۵-۱۱ آپ‌اَمپ دو طبقه ۶۴۵
۶-۱۱ تقویت‌کنندهٔ پر سرعت ۶۵۵
۱-۶-۱۱ ملاحظات کلی ۶۵۵
۲-۶-۱۱ طراحی آپ امپ ۶۶۱

۱۱-۶-۳ عملکرد سیگنال کوچک حلقهٔ بسته ۶۶۲
۱۱-۶-۴ تنظیم آپ امپ ۶۶۴
۱۱-۶-۵ رفتار سیگنال بزرگ ۶۶۵
۱۱-۷ چکیده ۶۶۸

فصل ۱۲/ مرجع ولتاژ و جریان ۶۷۱
۱۲-۱ ملاحظات کلی ۶۷۱
۱۲-۲ بایاس مستقل از منبع تغذیه ۶۷۲
۱۲-۳ مراجع مستقل از دما ۶۷۶
۱۲-۳-۱ ولتاژ با TC منفی ۶۷۶
۱۲-۳-۲ ولتاژ با TC مثبت ۶۷۷
۱۲-۳-۳ مرجع شکاف باند انرژی ۶۷۹
۱۲-۴ تولید جریان PTAT ۶۸۸
۱۲-۵ بایاس با G_m ثابت ۶۹۰
۱۲-۶ مشکلات سرعت و نویز ۶۹۱
۱۲-۷ مراجع شکاف باندِ ولتاژ ـ پایین ۶۹۶
۱۲-۸ مطالعهٔ یک مدار خاص ۷۰۰

فصل ۱۳/ درآمدی بر مدارهای کلیدی ـ خازنی ۷۰۹
۱۳-۱ ملاحظات کلی ۷۱۰
۱۳-۲ کلیدهای نمونه‌بردار ۷۱۵
۱۳-۲-۱ کلیدهای ماسفتی MOSFET ۷۱۵
۱۳-۲-۲ ملاحظات مربوط به سرعت ۷۲۰
۱۳-۲-۳ ملاحظاتی مربوط به دقت ۷۲۲
۱۳-۲-۴ حذف بار تزریقی ۷۲۶
۱۳-۳ تقویت‌کننده‌های کلیدی ـ خازنی ۷۲۹
۱۳-۳-۱ بافر/نمونه بردار بهرهٔ ـ یک ۷۲۹
۱۳-۳-۲ تقویت‌کننده‌های ناوارونگر (noninverting) ۷۳۸
۱۳-۳-۳ مدار دو برابر کنندهٔ دقیق ۷۴۴
۱۳-۴ انتگرال‌گیر کلیدی ـ خازنی ۷۴۶
۱۳-۵ فیدبک مد مشترک کلیدی ـ خازنی (SC) ۷۴۹

فصل ۱۴/ اثر غیرخطی و ناهمسانی ۷۵۷
۱۴-۱ اثر غیرخطی ۷۵۷
۱۴-۱-۱ ملاحظات کلی ۷۵۷

۱۴-۱-۲ اثر غیرخطی در مدارهای دیفرانسیلی ۷۶۱
۱۴-۱-۳ تأثیر فیدبک منفی بر خاصیت غیرخطی ۷۶۳
۱۴-۱-۴ اثر غیرخطی در خازن ۷۶۵
۱۴-۱-۵ خاصیت غیرخطی در مدارهای نمونه بردار ۷۶۶
۱۴-۱-۶ روش‌های خطی‌سازی ۷۶۸
۱۴-۲ ناهمسانی (Mismatch) ۷۷۵
۱۴-۲-۱ اثر ناهمسانی ۷۷۸
۱۴-۲-۲ روش‌های حذف آفست ۷۸۳
۱۴-۲-۳ کاهش نویز به وسیلهٔ حذف آفست ۷۸۸
۱۴-۲-۴ تعریف دیگری برای CMRR ۷۹۰

فصل ۱۵/ نوسان‌سازها ۷۹۵

۱۵-۱ ملاحظات کلی ۷۹۵
۱۵-۲ نوسان‌سازهای حلقوی ۷۹۷
۱۵-۳ نوسان‌سازهای LC ۸۰۹
۱۵-۳-۱ مفاهیم پایه ۸۰۹
۱۵-۳-۲ نوسان‌ساز Cross-Coupled (ضربدری) ۸۱۳
۱۵-۳-۳ نوسان‌ساز کلپیتز (Colpitts) ۸۱۶
۱۵-۳-۴ نوسان‌سازهای یک ـ دهانه‌ای ۸۱۹
۱۵-۴ نوسان‌سازهای کنترل شده با ولتاژ (VCO) ۸۲۴
۱۵-۴-۱ تنظیم نوسان‌سازهای حلقوی ۸۲۷
۱۵-۴-۲ تنظیم در نوسان‌سازهای LC ۸۳۷
۱۵-۵ مدل ریاضی VCOها ۸۴۱

فصل ۱۶/ حلقه‌های قفل فاز ۸۴۹

۱۶-۱ PLL ساده ۸۴۹
۱۶-۱-۱ آشکارساز فاز ۸۵۰
۱۶-۱-۲ توپولوژی پایهٔ PLL ۸۵۱
۱۶-۱-۳ دینامیک PLL ساده ۸۶۰
۱۶-۲ PLL هایی پمپ باز ۸۶۷
۱۶-۲-۱ مسألهٔ گیراندازی قفل ۸۶۸
۱۶-۲-۲ آشکارساز فاز /فرکانس ۸۶۹
۱۶-۲-۳ پمپ بار ۸۷۳
۱۶-۲-۴ PLL پمپ بار ساده ۸۷۴
۱۶-۳ اثرات غیر ایده‌آل در PLLها ۸۸۲

۱۶-۳-۱ اثرات غیر ایده‌آل PFD/CP ۸۸۲
۱۶-۳-۲ لرزش در PLLها ۸۸۷
۱۶-۴ حلقه‌های قفل درنگ (DLL) ۸۸۹
۱۶-۵ کاربردها ۸۹۲
۱۶-۵-۱ ضرب و سنتز فرکانس ۸۹۲
۱۶-۵-۲ کاهش جابجایی (skew) ۸۹۵
۱۶-۵-۳ کاهش لرزش (jitter) ۸۹۶

فصل ۱۷/ اثرات کانال کوتاه و مدل‌های ترانزیستور ۸۹۹

۱۷-۱ نظریهٔ کوچک شدن (Scaling) ۹۰۰
۱۷-۲ اثرات کانال – کوتاه ۹۰۴
۱۷-۲-۱ تغییر ولتاژ آستانه ۹۰۴
۱۷-۲-۲ کاهش قابلیت تحرک با میدان عمودی ۹۰۷
۱۷-۲-۳ اشباع سرعت ۹۰۸
۱۷-۲-۴ اثرات الکترون‌های داغ [پر انرژی] ۹۱۰
۱۷-۲-۵ تغییر امپدانس خروجی با ولتاژ درین ـ سورس ۹۱۱
۱۷-۳ مدل‌های افزارهٔ MOS ۹۱۲
۱۷-۳-۱ مدل سطح ۱ ۹۱۳
۱۷-۳-۲ مدل سطح ۲ ۹۱۳
۱۷-۳-۳ مدل سطح ۳ ۹۱۶
۱۷-۳-۴ مجموعهٔ BSIM ۹۱۷
۱۷-۳-۵ مدل‌های دیگر ۹۱۸
۱۷-۳-۶ مدل‌سازی خازن و بار ۹۱۹
۱۷-۳-۷ وابستگی به دما ۹۲۰
۱۷-۴ گوشه‌های فرآیند ۹۲۰

فصل ۱۸/ فناوری ساخت CMOS ۹۲۵

۱۸-۱ ملاحظات کلی ۹۲۵
۱۸-۲ پردازش ویفر ۹۲۷
۱۸-۳ لیتوگرافی نوری ۹۲۷
۱۸-۴ اکسیداسیون ۹۲۹
۱۸-۵ کاشت یونی ۹۳۰
۱۸-۶ لایه نشانی و زُدایش (etching) ۹۳۲
۱۸-۷ ساخت افزاره ۹۳۳
۱۸-۷-۱ افزاره‌های فعال ۹۳۳

۱۸–۷–۲ افزاره‌های غیرفعال ۹۳۸
۱۸–۷–۳ اتصالات ۹۴۴
۱۸–۸ قفل شدن Latch-up ۹۴۷

فصل ۱۹/ چینش و بسته‌بندی ۹۵۳

۱۹–۱ ملاحظات کلی چینش (Layout) ۹۵۳
۱۹–۱–۱ قوانین طراحی ۹۵۴
۱۹–۱–۲ اثر آنتن ۹۵۶
۱۹–۲ روش‌های چینش آنالوگ ۹۵۷
۱۹–۲–۱ ترانزیستورهای چند انگشتی (Multi-finger) ۹۵۷
۱۹–۲–۲ تقارن ۹۶۰
۱۹–۲–۳ مشکل نوارهای جداکنندهٔ اکسیدی (Shallow Trench Isolation) ۹۶۵
۱۹–۲–۴ اثرات همسایگی چاه ۹۶۶
۱۹–۲–۵ توزیع جریان و ولتاژ مرجع ۹۶۶
۱۹–۲–۶ افزاره‌های غیر فعال ۹۶۸
۱۹–۲–۷ اتصالات ۹۷۷
۱۹–۲–۸ پایه‌ها و حفاظت ESD ۹۸۲
۱۹–۳ تزویج زیربنا ۹۸۵
۱۹–۴ بسته‌بندی ۹۹۱

پیوست / فرآیند ساخت FinFET ۱۰۰۳